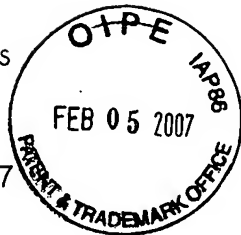


JENKINS
WILSON
TAYLOR
& HUNT

patent attorneys

January 31, 2007



I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on January 31, 2007.

Gayle W Chaney
Gayle W. Chaney
Date of Signature: 1/31/07

RICHARD E. JENKINS

JEFFREY L. WILSON

ARLES A. TAYLOR, JR.

GREGORY A. HUNT

BENTLEY J. OLIVE

*CHRIS PERKINS, PH.D.

**JAMES DALY IV, PH.D.

P. ASHLEY DARDEN

DAVID M. SIGMON

WESLEY A. SHEFFIELD

SCOTT C. MAYHEW

***KIRBY A. TURNER

PATENT AGENT

JAY KLINCK

TECHNICAL SPECIALIST

AMY ODENBAUGH, PH.D.

**LICENSED ONLY IN CA

**LICENSED ONLY IN KY

***LICENSED ONLY IN GA

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Re: U.S. Patent Application Serial No. 10/615,100 for
VITERBI DECODER
Our Ref. No. 1406/153

Sir:

Enclosed please find the following:

1. Transmittal of Certified Copy (1 page);
2. Certified Copy of DE 101 02 928.4; and
3. A return-receipt postcard to be returned to our offices with the U.S. Patent and Trademark filing stamp thereon.

Please contact our offices if there are any questions with this matter.

Although no fee is believed to be due, the Commissioner is hereby authorized to charge any fees associated with the filing of this correspondence to Deposit Account Number 50-0426.

Respectfully submitted,

JENKINS, WILSON, TAYLOR & HUNT, P.A.

Richard E. Jenkins
Richard E. Jenkins
Registration No. 28,428

REJ/gwc

Enclosures

Customer No: 25297

tel 919.493.8000
fax 919.419.0383

Jenkins, Wilson, Taylor & Hunt, P.A.
JenkinsWilson.com

University Tower, Suite 1200 | 3100 Tower Boulevard | Durham, North Carolina 27707

Practitioner's Docket No. 1406/153

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: Mario Traeber

Group Art Unit: 2611

Serial No.: 10/615,100

Examiner: Joseph A. DSouza

Filed: July 8, 2003

Docket No.: 1406/153

Confirmation No.: 8648

For: VITERBI DECODER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: DE

Application Number: 101 02 928.4

Filing Date: January 23, 2001

Date: January 31, 2007

A handwritten signature in cursive script, reading "Richard E. Jenkins".

Richard E. Jenkins
Registration No. 28,428
Customer No. 25297

CERTIFICATE OF MAILING (37 C.F.R. § 1.8(a))

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

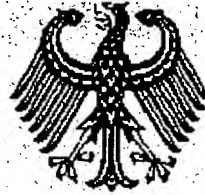
Date: January 31, 2007

A handwritten signature in cursive script, reading "Gayle W. Chaney".

Gayle W. Chaney

WARNING: "Facsimile transmissions are not permitted and if submitted will not be accorded a date of receipt" for "(4) Drawings submitted under §§ 1.81, 1.83 through 1.85, 1.152, 1.165, 1.174, 1.437" 37 C.F.R. § 1.6(d)(4).

BUNDESREPUBLIK DEUTSCHLAND



CERTIFIED COPY OF
PRIORITY DOCUMENT

**Prioritätsbescheinigung
DE 101 02 928.4
über die Einreichung einer Patentanmeldung**

Aktenzeichen: 101 02 928.4

Anmeldetag: 23. Januar 2001

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Viterbi-Decoder

IPC: H 03 M 13/41, H 03 M 7/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der Teile der am 23. Januar 2001 eingereichten Unterlagen dieser Patentanmeldung unabhängig von gegebenenfalls durch das Kopierverfahren bedingten Farbabweichungen.

München, den 19. Januar 2007
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag


Wehner

Beschreibung

Viterbi-Decoder

- 5 Die Erfindung betrifft einen Viterbi-Decoder mit einem geringen Leistungsverbrauch zur Decodierung einer empfangenen Sequenz von Datensymbolen.

10 Viterbi-Decoder dienen zur Decodierung von sogenannten Faltungscodes. Bei dieser Decodierung wird die Empfangsdatenfolge kontinuierlich mit theoretisch möglichen Sendedatenfolgen verglichen und der Grad der Übereinstimmung mit Hilfe eines statistischen Berechnungsverfahrens zur Grundlage einer Entscheidung gemacht. Bei den meisten herkömmlichen digitalen
15 Mobilfunkempfangsgeräten werden Viterbi-Decoder eingesetzt. Ein Viterbi-Decoder ist ein sogenannter Maximum-Likelihood-Decoder, der in der Regel zur Decodierung von kanalcodierten, insbesondere faltungscodierten, Mobilfunk- oder leitungsbezogenen Telekommunikations-Signalen verwendet wird.

20

Fig. 1 zeigt einen Sender und einen Empfänger, der einen Viterbi-Decoder nach dem Stand der Technik enthält. Eine Signalquelle erzeugt innerhalb des Senders Datensymbole, die einem Faltungscodierer zugeführt werden. Die faltungscodierten Sendedatensymbole werden in einem Modulator moduliert und -
5 über einen beliebigen Übertragungskanal dem Empfänger zugeführt. Nur das Empfangssignal wird in einem Demodulator des Empfängers demoduliert und anschließend entzerrt. Die empfangenen Datensymbole werden in einem in dem Empfänger enthaltenen Viterbi-Decoder decodiert und zur weiteren Datenverarbeitung an eine Datensenke abgegeben.
30

Bei der Kanalcodierung wird im Sender den zu übertragenden Datensymbolen redundante Informationen zur Erhöhung der Übertragungs-
35 sicherheit hinzugefügt. Bei der Übertragungsweise - über einen Telekommunikationskanal wird das übertragene Signal von Rauschen überlagert. Der Empfänger findet anhand der

empfangenen Datensymbolsequenz aus sämtlichen möglichen Datensendesignalen diejenige Datensendesequenz heraus, die mit höchster Wahrscheinlichkeit der tatsächlich gesendeten Sequenz entspricht.

5

Die bei der Codierung verwendete Codiervorschrift kann durch ein entsprechendes Trellis-Diagramm beschrieben werden. Der in dem Empfänger enthaltene Viterbi-Decoder ermittelt durch Berechnung sogenannter Metriken denjenigen Pfad in dem Trellis-Diagramm, der abhängig von der Ausgestaltung des Viterbi-Decoder die größte oder die kleinste Pfadmetrik besitzt. Anhand dieses selektierten optimalen Pfades wird durch den Viterbi-Decoder die decodierte Datensequenz bestimmt und an die Datensenke abgegeben.

15

Grundlage für die Berechnung der Metriken ist vorzugsweise ein durch additieves, weißes, Gauss-verteiltes Rauschen bestimmter Telekommunikationskanal.

20

Die Fig. 2 zeigt beispielhaft ein Trellis-Diagramm mit jeweils vier unterschiedlichen Zuständen zu den verschiedenen Zeitpunkten t bis $t+3$. Die Zustände entsprechen beispielsweise den Bit-Zuständen 00, 10, 01, 11. Jeder Datensymbolsequenz ist in dem in der Figur dargestellten Trellis-Diagramm ein entsprechender Pfad zugeordnet. Ein Pfad umfasst dabei eine Folge von Zweigen zwischen zwei aufeinanderfolgenden Zuständen. Dabei symbolisiert jeder Zweig einen Zustandsübergang zwischen zwei zeitlich aufeinanderfolgenden Zuständen, wobei in der Regel für einen wie in Fig. 2 ausgestalteten Code der von einem Zustand ausgehende obere Zweig einem Empfangssdatensymbol mit dem binären Wert 0 und der von dem selben Zustand ausgehende untere Zweig einem Empfangssymbol mit dem binären Wert eins entspricht. Jedem dieser Zustandsübergänge, dem eine Zweigmetrik λ_t zugewiesen ist, entspricht ein Codesymbol.

35

Die Zweigmetrik λ_t ist für gaussförmiges, weißes Rauschen wie folgt definiert:

$$\lambda_t = |Y_t - R_t|^2 \quad (1)$$

wobei der R_t ein Empfangssymbol zum Zeitpunkt t und Y_t ein
5 davon abhängig erwartetes Sendesymbol zum Zeitpunkt t ist.

Ferner ist jedem Pfad durch das Trellis-Diagramm zum Zeit-
punkt t eine Pfadmetrik γ_t zugewiesen. Sie ist definiert als
die Summe der Zweigmetriken eines Pfades

10

$$\gamma_t = \sum_{-\infty}^t \lambda_i = \sum_{-\infty}^t |Y_i - R_i|^2 \quad (2)$$

Offensichtlich enthält diese Berechnungsvorschrift die fol-
gende Rekursion:

15

$$\gamma_t = \gamma_{t-1} + \lambda_t \quad (3)$$

20

Der in dem Empfänger enthaltene Viterbi-Decodierer der in
Fig. 1 dargestellt ist, ermittelt anhand des Trellis-
Diagramms denjenigen Pfad der die beste Pfadmetrik aufweist.
Dies ist in der Regel definitionsgemäß der Pfad mit der
kleinsten Pfadmetrik. Diese entspricht in der dargestellten
Ausführung eines Viterbi-Decoders der summierten Euklidischen
25 Distanz. Dieser Pfad ist derjenige Pfad, der mit der höchsten
Wahrscheinlichkeit gesendet wurde.

30

Die Pfadmetrik eines zu einem bestimmten Zustand s führenden
Pfads γ_t^s setzt sich aus der Pfadmetrik $\gamma_{t-1}^{s'}$ eines zeitlich
vorhergehenden Zustands und der Zweigmetrik $\lambda_t^{s' \rightarrow s}$ des von die-
sem vorhergehenden Zustand s' zu dem bestimmten Zustand s
führenden Zweigs zusammen. Es ist daher nicht erforderlich,
dass alle möglichen Pfade und Pfadmetriken des Trellis-
Diagramms durch den Viterbi-Decoder ermittelt und ausgewertet
35 werden. Es wird vielmehr für jeden Zustand und für jeden
Zeitschritt des Trellis-Diagramms jeweils derjenige Pfad er-

mittelt, der bis zu diesem Zeitpunkt und bis zu diesem Zustand die beste Pfadmetrik aufweist. Nur dieser Pfad wird zwischengespeichert. Es wird mit der Pfadmetrik des in diesen Zustand mündenden Teil-Gewinnerpfades weitergerechnet. Alle
5 übrigen zu diesem Zustand führenden Pfade bleiben unberücksichtigt. Während jedes Zeitschritts gibt es daher eine der Anzahl der unterschiedlichen Zustände N_{Ts} entsprechende Anzahl von derartigen Pfaden. Die rekursive Berechnungsvorschrift der Pfadmetriken wird durch eine Pfadmetrikberechnungsschaltung, bzw. eine Add-Compare-Select-Unit (ASCU), innerhalb des Viterbi-Decoders realisiert.

Die Fig. 3 zeigt einen Viterbi-Decoder nach dem Stand der Technik. Der Viterbi-Decoder, wie er in Fig. 3 dargestellt
15 ist, enthält eine Zweigmetrikberechnungsschaltung (BMU: Branch Metrik Unit), eine Pfadmetrikberechnungsschaltung (ASCU: Add-Compare-Select-Unit) und eine Selektionsschaltung (SMU: Survivor Memory Unit). Die Zweigmetrikberechnungsschaltung BMU berechnet die Zweigmetriken $\lambda_t(s)$, die ein Maß für
20 den Unterschied zwischen einem Empfangssdatensymbol und demjenigen Datensymbol sind, dass in dem Trellis-Diagramm den entsprechenden Zustandsübergang hervorruft. Die von der Zweigmetrik-Berechnungsschaltung BMU berechneten Zweigmetriken werden der Pfadmetrikberechnungsschaltung ASCU zur Berechnung
5 der optimalen Pfade bzw. Gewinner-Pfade zugeführt. Die nachgeschaltete Selektionsschaltung SMU speichert die Gewinner-Pfade in einem Speicher ab. Anschließend erfolgt eine Decodierung anhand desjenigen Gewinnerpfades, der die beste Pfadmetrik aufweist. Die diesem Pfad zugeordnete Datensymbolsequenz entspricht mit größter Wahrscheinlichkeit der tatsächlich
30 gesendeten Datensequenz.

Fig. 4 zeigt die in dem herkömmlichen Viterbi-Decoder enthaltene Pfadmetrikberechnungsschaltung ASCU im Detail. Die Pfadmetrikberechnungsschaltung empfängt von der Zweigmetrikberechnungsschaltung BMU die berechneten Zweigmetriken und wertet diese aus. Die Auswertung erfolgt dabei durch verschiede-

ne Pfadmetrikberechnungselemente bzw. Prozessorelemente PE. Das ASCU-Prozessorelement führt, je nach Ausführung des Codes, eine Entscheidung zwischen zwei oder mehr in einen Zustand des Trellis-Diagramms mündenden, konkurrierenden Pfade herbei. Der Pfad mit der besseren berechneten Metrik wird selektiert und die Pfadmetrik des Gewinnerpfades der zu diesem Zustand führt, wird erneuert.

Fig. 5 zeigt ein ASCU-Prozessorelement bzw. Pfadmetrikberechnungselement nach dem Stand der Technik. Das Prozessorelement enthält zwei Addierer, deren Ausgänge an einen Multiplexer und einer Komparatorschaltung angeschlossen sind. Der erste Addierer berechnet die Pfadmetrik eines ersten Pfades und der zweite Addierer berechnet die Pfadmetrik eines zweiten Pfades in dem Trellis-Diagramm. Die beiden Pfadmetriken werden einem Komparator zugeführt und dort verglichen. Der Komparator gibt ein Steuersignal an den Multiplexer ab und schaltet den Gewinner-Pfad durch, d.h. definitionsgemäß den Pfad mit der geringeren Pfadmetrik. Die berechnete Pfadmetrik wird von einem zugehörigen nachgeschalteten Speicherelement, beispielsweise einem Register R, für den nächsten Berechnungsschritt zwischengespeichert.

Bei dem in Fig. 2 dargestellten Trellis-Diagramm handelt es sich um ein Trellis-Diagramm mit einer sogenannten Butterfly-Struktur. Dies bedeutet, dass jeweils zwei Zuständen eines Zeitschritts $t+1$ des Trellis-Diagramms zwei Zustände des vorhergehenden Zeitschritts t zugewiesen sind, deren Zweige jeweils zu den erstgenannten Zuständen des Zeitschritts $t+1$ führen. Dabei sind jeweils zwei Zweigmetriken der von unterschiedlichen Zuständen ausgehenden Zweige identisch. Allgemein bezeichnet $\gamma_t(s)$ die den Zustand s im Zeitschritt t zugewiesene Pfadmetrik, während $\lambda_t(s)$ die Zweigmetrik des dem Signal s entsprechenden Zustandsübergang im Zeitpunkt t bezeichnet. Bei dem Viterbi-Decoder nach dem Stand der Technik werden zwei Pfadmetrikberechnungselemente der ACSU kombiniert, um ein Butterfly-Pfadmetrikberechnungselement zu bil-

den. Der Vorteil besteht darin, dass die Pfadmetriken eines jeden Zustands zum Zeitindex $t-1$ bei vorzugsweise sequentiellen Realisierungen der ACSU nur einmal gelesen werden müssen. Derart ausgestaltete Prozessorelemente verhalten sich gleichermaßen wie herkömmliche Add-Compare-Select Prozessorelemente mit dem einzigen Unterschied, dass sie zwei Zustände des Trellis-Diagramms gleichzeitig berechnen.

Da die Pfadmetrikberechnungsvorschrift durch die Rekursion eine Summe von Zeitindex $t' = -\infty \dots t$ (siehe Gleichung 2) darstellt, muss durch eine sogenannte Normalisierungsschaltung ein Überlaufen der Pfadmetriken verhindert werden. Vorzugsweise wird für diese Ausgestaltung des Viterbi-Decoders das Minimum-Normalisierungs-Verfahren angewandt. Hierbei wird die minimale Pfadmetrik zum Zeitindex $t-1$ ermittelt und von allen Gewinnerpfadmetriken zum Zeitindex t gleichermaßen abgezogen. Bei diesem Verfahren wird im statistischen Mittel genau der Rauschanteil des Empfangssignals R_t abgezogen.

Die von den verschiedenen Prozessorelementen PE berechneten Vergleichsergebnisse δ_s werden an die nachgeschaltete Selektionsschaltung SMU zur Selektion des korrekten Gewinnerpfades abgegeben.

Der Nachteil des in Fig. 4 gezeigten Viterbi-Decoders nach dem Stand der Technik besteht darin, dass alle Entscheidungswerte δ_s zur Selektion des Gewinnerpfades mit der optimalen Pfadmetrik in dem Speicher der Selektionsschaltung SMU gespeichert werden müssen. Die Anzahl der Entscheidungen δ_s die abgespeichert werden müssen, entspricht dabei der Anzahl N_{TS} von Zuständen des Trellis-Codes. Daher werden bei dem in Fig. 4 dargestellten Viterbi-Decoder nach dem Stand der Technik bei jedem Symbolzeitschritt N_{TS} Entscheidungen in der Selektionsschaltung SMU abgespeichert. Dieser Speichervorgang ist hoch redundant, da der Decoder nur die Entscheidung, eines Zustandes pro Zeitindex t benötigt, um letztendlich den

Gewinnerpfad und damit die decodierten Datensymbole zu rekonstruieren.

5 Je nach Ausführung des Viterbi-Decoders dominieren die Speicherzugriffe die Verlustleistung. Durch Einschreiben aller Entscheidungswerte δ_s von der Pfadmetrikberechnungsschaltung in die Selektionsschaltung SMU ist demnach die hervorgerufene Verlustleistung P_v sehr hoch. Bei einem Einsatz eines Viterbi-Decoders beispielsweise in einem Mobilfunkgerät wird die
10 Betriebsdauer durch schnelleres Entladen der Batterien verkürzt. Ferner kommt es, z.B. in mehrkanaligen Telekommunikationssystemen wie ADSL und SDSL, aufgrund der hohen Verlustleistung zu einer ungewünschten Wärmeentwicklung.

15 Es ist daher die Aufgabe der vorliegenden Erfindung, einen Viterbi-Decoder und ein Decodierverfahren zu schaffen, welche die Verlustleistung minimieren.

20 Die Erfindung schafft einen Viterbi-Decoder zur Decodierung einer empfangenen Sequenz von Datensymbolen, die mit einer vorgegebenen Codierungsanweisung codiert sind, mit:

5 einer Zweigmetrikberechnungsschaltung (BMU) zur Berechnung von Zweigmetriken für die empfangene Sequenz von kodierten Datensymbolen,

einer Pfadmetrikberechnungsschaltung (ACSU) zur Berechnung von Pfadmetriken in Abhängigkeit von den Zweigmetriken und der Codieranweisung,

30 wobei die berechneten Pfadmetriken jeweils mit einem einstellbaren Entscheidungsschwellenwert SW zur Erzeugung eines zugehörigen logischen Gültigkeitswertes verglichen werden, und

35 mit einer Selektionsschaltung (SMU), die nur diejenigen Pfadmetriken, deren Gültigkeitswert logisch hoch ist, in einem

Speicher zwischenspeichert und aus den Pfadmetriken denjenigen Pfad mit der optimalen Pfadmetrik selektiert.

5 Die Selektionsschaltung (SMU) gibt vorzugsweise die dem selektierten Pfad zugeordnete Datensymbolsequenz zur weiteren Datenverarbeitung an eine Datenverarbeitungseinheit ab.

10 Die Pfadmetrikberechnungsschaltung (ASCU) setzt vorzugsweise den jeweiligen Gültigkeitswert logisch hoch, wenn die zugehörige berechnete Pfadmetrik niedriger ist als der zugehörige einstellbare Entscheidungsschwellenwert SW.

15 Die Selektionsschaltung (SMU) selektiert vorzugsweise den Pfad mit der kleinsten berechneten Pfadmetrik.

Die Pfadmetrikberechnungsschaltung (ASCU) enthält vorzugsweise ein Pfadmetrikberechnungselement ($N_{PE}=1$) und berechnet die rekursive Pfadmetrikberechnungsvorschrift sequentiell.

20 Ein Pfadmetrikberechnungselement der Pfadmetrikberechnungsschaltung des erfindungsgemäßen Viterbi-Decoders berechnet vorzugsweise jeweils die Pfadmetriken von zwei Pfaden und vergleicht diese miteinander, wobei das Pfadmetrikberechnungselement die kleinere der beiden Pfadmetriken an ein zugehöriges nachgeschaltetes Speicherelement zum Zwischenspeichern abgibt.

30 Bei einer besonders bevorzugten Ausführungsform des erfindungsgemäßen Viterbi-Decoders enthält das Pfadmetrikberechnungselement

35 einen ersten Addierer, der die Zweigmetrik eines ersten Pfades und die in dem getakteten Register zwischengespeicherte Pfadmetrik des ersten Pfades addiert und an einen ersten Eingang eines Multiplexers abgibt,

einen zweiten Addierer, der die Zweigmetrik des zweiten Pfades und die in dem getakteten Register zwischengespeicherte Pfadmetrik des zweiten Pfades addiert und an einen zweiten Eingang des Multiplexers abgibt,

5

eine erste Komparatorschaltung, die die von beiden Addierern berechneten Summenwerte vergleicht, wobei der Vergleichsergebniswert an die Selektionsschaltung und an den Multiplexer als Steuersignal abgegeben wird, wobei der Multiplexer den kleineren der durch die beiden Addierer berechneten Summenwerte an ein zugehöriges getaktetes Register durchschaltet,

10

eine zweite Komparatorschaltung, die den durchgeschalteten Summenwert mit dem einstellbaren Entscheidungsschwellenwert SW vergleicht und einen logisch hohen Gültigkeitswert abgibt, wenn der Summenwert kleiner ist als der Entscheidungsschwellenwert SW.

15

Ein fest verdrahteter Entscheidungsschwellenwert SW ist vorzugsweise ein Potenzwert mit der Basis zwei, wobei vorzugsweise das Minimum-Normalisierungs-Verfahren angewandt wird.

20

Dies bietet den Vorteil, dass die Anzahl der notwendigen logischen Gatter zur Durchführung des Vergleichs und somit der schaltungstechnische Aufwand für Komparatorschaltungen minimal ist.

25

Die Erfindung schafft ferner ein Verfahren zur Decodierung einer codierten Datensymbolsequenz, die mit einer vorgegebenen Codieranweisung codiert ist, mit den folgenden Schritten, nämlich

30

(a) Empfangen der codierten Datensymbolsequenz,

35

(b) Berechnen von Zweigmetriken für die empfangene Datensymbolsequenz,

(c) Berechnen von Pfadmetriken für die empfangene Datensymbolsequenz in Abhängigkeit von den Zweigmetriken und der Codieranweisung,

5

(d) Vergleichen der berechneten Pfadmetriken mit einem einstellbaren Entscheidungsschwellenwert zur Erzeugung von logischen Gültigkeitswerten,

10 (e) Speichern der berechneten Pfadmetriken, deren Gültigkeitswerte logisch hoch sind, in einem Zwischenspeicher,

(f) Selektieren desjenigen Pfades, dessen gespeicherte Pfadmetrik minimal ist,

15

(g) Ermitteln der dem selektierten Pfad zugeordneten Daten mittels der Codieranweisung,

(h) Ausgeben der ermittelten Datensymbolsequenz zur weiteren Datenverarbeitung.

20

Im Weiteren werden bevorzugte Ausführungsformen des erfindungsgemäßen Viterbi-Decoders und des erfindungsgemäßen Decodierverfahrens zur Erläuterung erfindungswesentlicher Merkmale unter Bezugnahme auf die beigefügten Figuren beschrieben.

Es zeigen:

Fig. 1

30 ein Blockdiagramm eines Senders und eines Empfängers, der einen Viterbi-Decoder nach dem Stand der Technik enthält;

Fig. 2

ein Vier-Zustand-Trellis-Diagramm als Codieranweisung;

35

Fig. 3

ein Blockdiagramm des schaltungstechnischen Aufbaus eines Viterbi-Decoders nach dem Stand der Technik;

Fig. 4

- 5 ein Schaltungsdiagramm einer Pfadmetrikberechnungsschaltung ASCU innerhalb eines Viterbi-Decoders nach dem Stand der Technik in Bezug auf die in Fig. 2 gezeigte Codieranweisung;

Fig. 5

- 10 ein in der Pfadmetrikberechnungsschaltung (ASCU) enthaltenes Prozessorelement PE nach dem Stand der Technik;

Fig. 6

- 15 den schaltungstechnischen Aufbau eines erfindungsgemäßen Viterbi-Decoders in Bezug auf die in Fig. 2 dargestellte Codieranweisung;

Fig. 7

- 20 den schaltungstechnischen Aufbau eines Pfadmetrik-Berechnungselements innerhalb der Pfadmetrikberechnungsschaltung des in Fig. 6 dargestellten erfindungsgemäßen Viterbi-Decoders;

Fig. 8

- 25 den schaltungstechnischen Aufbau einer bevorzugten Ausführungsform der ASCU und SMU des erfindungsgemäßen Viterbi-Decoders;

Fig. 9

- 30 ein Diagramm zur Erläuterung des Selektionsvorgangs innerhalb der Selektionsschaltung des erfindungsgemäßen Viterbi-Decoders;

Fig. 10(a) - (d)

- 35 Simulationsergebnisse, welche den Zusammenhang zwischen der Bitfehlerrate und den normalisierten Schwellenwert darstellen;

Fig. 11

ein Simulationsergebnis, das die Abhängigkeit der Bitfehler-
rate vom Signal-Rauschabstand (SNR) in Abhängigkeit verschie-
5 dener Entscheidungsschwellenwerte SW im Verhältnis zu Viter-
bi-Decodern nach dem Stand der Technik darstellt;

Fig. 12(a)-12(c)

Simulationsergebnisse, die die Anzahl der abgespeicherten
10 Entscheidungswerte für eine Vielzahl von Datensymbolperioden
bei einem, in Bezug auf diese vorzugsweise Ausführung eines
Viterbi-Decoders, hohen Signal-Rauschabstand darstellen;

Fig. 13(a)-13(c)

15 Simulationsergebnisse, die die Anzahl der abgespeicherten
Entscheidungswerte für eine Vielzahl von Datensymbolperioden
bei einem, in Bezug auf diese vorzugsweise Ausführung eines
Viterbi-Decoders, niedrigen Signal-Rauschabstand darstellen;

20 Fig. 14

Eine Tabelle zur Darstellung der Verlustleistungseinsparung
bei dem erfindungsgemäßen Viterbi-Decoder;

Fig. 6 zeigt einen Viterbi-Decoder 1 gemäß der Erfindung. Der
Viterbi-Decoder 1 besitzt einen Signaleingang 2 zum Empfangen
der demodulierten und entzerrten Sequenz von Datensymbolen.
Die Datensymbole werden über eine Leitung 3, einen Signalein-
gang 4, einer Zweigmetrikberechnungsschaltung 5 zugeführt.
Die Zweigmetrikberechnungsschaltung 5 berechnet in Abhängig-
30 keit von der empfangenen Sequenz von codierten Datensymbolen
deren Zweigmetriken γ_t . Die berechneten Zweigmetriken werden
von den Signalausgängen 6-1 bis 6-M über Signalleitungen 7-1
bis 7-M und Signaleingänge 8-1 bis 8-M an eine Pfadmetrikbe-
rechnungsschaltung 9 abgegeben. M definiert hierbei die An-
35 zahl der verschiedenen Zweigmetriken und ist i.d.R. eine Po-
tenz der Basis zwei. Die Pfadmetrikberechnungsschaltung 9 be-
rechnet die Pfadmetriken γ in Abhängigkeit von den zugeführ-

ten Zweigmetriken λ und der vorgegebenen Codieranweisung in Form eines Trellis-Diagramms. Die Pfadmetrikberechnungsschaltung 9 enthält mehrere Pfadmetrik-Berechnungselemente 10-1 bis 10- N_{TS} . Bei den Pfadmetrik-Berechnungselementen handelt es sich vorzugsweise um ein Butterfly-Prozessorelement oder um ein Add-Compare-Prozessorelement. Jedes Pfadmetrik-Berechnungselement 10 weist vier Signaleingänge 11, 12, 13, 14 und drei Signalausgänge 15, 16, 17 auf. Jedes Pfadmetrik-berechnungselement 10 berechnet die Pfadmetrik γ von zwei konkurrierenden Pfaden des Trellis-Diagramms und vergleicht diese miteinander. Da das bei einem Zustand s im Zeitschritt t berechnete Ergebnis $\delta_t(s)$ zugleich die Grundlage für die Berechnung einer Pfadmetrik für einen zeitlich nachfolgenden Zustand ist, wird die berechnete Pfadmetrik in einem zugehörigen nachgeschalteten Speicherelement 18 zwischengespeichert und an die Signaleingänge der Pfadmetrik-Berechnungselemente 10 über eine Festverdrahtungseinheit 61 gemäß dem Trellis-Code zurückgekoppelt. Die Pfadmetrik-Berechnungselemente 10 berechnen Entscheidungswerte δ_s , die durch die Ausgangssignalleitungen 16 an Signaleingänge 19 einer nachgeschalteten Selektionsschaltung 20 abgegeben werden. Für jeden Entscheidungswert δ_s wird durch das Pfadmetrik-Berechnungselement 10 ein zugehöriger logischer Gültigkeitswert berechnet, der über die Signalleitungen 17 an einen zugehörigen Signaleingang 21 der Selektionsschaltung 20 abgegeben wird.

Die Selektionsschaltung 20 enthält einen internen Speicher. Dabei werden nur diejenigen von den Signaleingängen 19 anliegenden Entscheidungswert δ_s in den Speicher der Selektionsschaltung 20 eingeschrieben, deren zugehöriger Gültigkeitswert, welcher an dem entsprechenden Signaleingang 21 anliegt, logisch hoch ist. Hierdurch wird die Anzahl der Einschreibvorgänge in den Speicher, und damit die Verlustleistung, der Selektionsschaltung 20 deutlich reduziert.

Die Anzahl der abgespeicherten Entscheidungswerte δ können bestenfalls um einen Faktor R_D vermindert werden, wobei N_{TS} die Anzahl der Zustände in dem Trellis-Diagramm darstellt.

$$R_D = \frac{N_{TS} - 1}{N_{TS}} \quad (4)$$

Die Selektionsschaltung 20 selektiert anhand der zwischengespeicherten Pfadmetriken denjenigen Pfad in dem Trellis-Diagramm mit der optimalen Pfadmetrik heraus. Dabei wird definitionsgemäß durch die Selektionsschaltung 20 der Pfad mit der kleinsten berechneten Pfadmetrik selektiert. Die dem selektierten Pfad zugeordnete Datensymbolsequenz wird von der Selektionsschaltung 20 über einen Signalausgang 22 und eine Leitung 23 an einen Signalausgang 24 des erfindungsgemäßen Viterbi-Decoders 1 abgegeben und von dort zur weiteren Datenverarbeitung über eine Leitung 25 an eine nachgeschaltete Datenverarbeitungseinheit geleitet.

Fig. 7 zeigt den schaltungstechnischen Aufbau eines Prozesselements 10-i innerhalb der Pfadmetrik-Berechnungsschaltung 9 des erfindungsgemäßen Viterbi-Decoders 1. Das Pfadmetrik-Berechnungselement 10-i berechnet die Pfadmetriken von zwei konkurrierenden Pfaden und vergleicht diese miteinander. Die kleinere der beiden berechneten Pfadmetriken wird über den Signalausgang 15-i an das zugehörige getaktete Register 18-i zum Zwischenspeichern und zur Rückkopplung abgegeben. Das in Fig. 7 dargestellte Pfadmetrik-Berechnungselement 10-i enthält einen ersten Addierer 26 und einen zweiten Addierer 27. Der erste Addierer 26 addiert die Zweigmetrik $\lambda_i(u)$ eines ersten unteren Pfades und eine zugehörige zwischengespeicherte Pfadmetrik $\gamma_t(u)$ zu einem ersten Summenwert, der über eine Leitung 28 an einen Verzweigungsknoten 29 abgegeben wird, welcher über eine Leitung 30 mit einem ersten Eingang 31 eines Multiplexers 32 verbunden ist und über eine Leitung 33 an einen Signaleingang 34 einer ersten Komparatoranschaltung 35 angeschlossen ist.

Der zweite Addierer 27 addiert die Zweigmetrik $\lambda_i(\ell)$ des zweiten unteren Signalpfades des Trellis-Diagramms mit der zugehörigen zwischengespeicherten und rückgekoppelten Pfadmetrik $\gamma_i(\ell)$ zu einem zweiten Summenwert, der über eine Leitung 36 an einen Verzweigungsknoten 37 abgegeben wird. Der Verzweigungsknoten 37 ist über eine Leitung 38 mit einem zweiten Signaleingang 39 des Multiplexers 32 verbunden. Der Verzweigungsknoten 37 ist ferner über eine Leitung 40 mit einem zweiten Eingang 41 der ersten Komparatorschaltung 35 verbunden. Die erste Komparatorschaltung 35 vergleicht die von den beiden Addierern 26, 27 abgegebenen, berechneten Summenwerte bzw. Pfadmetriken miteinander und gibt über einen Signalausgang 42 einen Vergleichsergebniswert bzw. Entscheidungswert δ_s über eine Leitung 43 an den Signalausgang 16 ab.

Der Vergleichsergebniswert bzw. Entscheidungswert δ_s wird ferner an einem Verzweigungsknoten 44 abgezweigt und über eine Steuerleitung 45 an einen Steuereingang 46 des Multiplexers 32 als Steuersignal angelegt. Der Multiplexer 32 wird derart angesteuert, dass der kleinere der beiden durch die beiden Addierer 26, 27 berechneten Summenwerte bzw. Pfadmetriken an einen Signalausgang 47 des Multiplexers 32 durchgeschaltet wird. Von dem Signalausgang 47 wird die durchgeschaltete Pfadmetrik über eine Leitung 48 an einen Signaleingang 49 einer zweiten Komparatorschaltung 50 abgegeben. Die zweite Komparatorschaltung 50 besitzt einen zweiten Eingang 51 von dem ein einstellbarer oder fest implementierter Entscheidungsschwellenwert SW angelegt ist.

Die zweite Komparatorschaltung 50 vergleicht den an den Eingang anliegenden durchgeschalteten Summenwert mit dem eingestellten Entscheidungsschwellenwert SW und gibt über einen Signalausgang 52 und eine Leitung 53 einen logisch hohen Gültigkeitswert ab, wenn der anliegende Summenwert bzw. Pfadmetrikenwert kleiner ist als der anliegende Entscheidungsschwellenwert SW. Dieser ergibt sich aus dem Produkt eines normier-

ten Schwellenwertes SW_{Norm} und der maximalen möglichen Zweigmetrik λ_{max} wie folgt:

$$SW = SW_{\text{norm}} * \lambda_{\text{max}} \quad (5)$$

5

Die Dimensionierung des Schwellenwertes SW erfolgt durch normierten Bezug der Bitfehlerrate BER in Abhängigkeit vom normierten Schwellenwert auf den Implementierungsverlustfreien Fall, d.h. ohne jegliche Reduktion der Speichervorgänge. Das kann erreicht werden, wenn SW gleich unendlich gesetzt wird.

10

$$BER_{\text{norm}} = \log \left[\frac{BER(SW_{\text{norm}})}{BER(SW_{\text{norm}} \rightarrow \infty)} \right] \quad (6)$$

Die Normierung des Schwellenwertes dient hierbei dazu verschiedene Implementierungen der Zweigmetrikberechnungseinheit BMU vergleichbar zu machen. Die Normierung der Bitfehlerrate BER dient zum Vergleich der verfahrensbehafteten Verluste bei unterschiedlichen Signal-Rauschabständen SNR .

15

Figuren 10a-10d zeigen, für eine unterschiedliche Anzahl von Zuständen N_{TS} in einem Trellis-Code die Abhängigkeit der normalisierten Bitfehlerrate BER_{norm} und dem normalisierten Schwellenwert bei unterschiedlichen Signal-Rauschabständen SNR . Wie man aus den Diagrammen entnehmen kann, beträgt bei einem normalisierten Schwellenwert von eins die Zunahme der Bitfehlerrate BER etwa 1% und ist somit vernachlässigbar. Man kann den Figuren 10a-10d ferner entnehmen, dass der Performance-Verlust in Abhängigkeit von dem Signalrauschabstand SNR konstant ist, d.h. der erfindungsgemäße Viterbi-Decoder des erfindungsgemäßen Verfahrens zur Decodierung ist bezüglich des Signalrauschabstandes SNR ohne zusätzliche Adaptionsvorschrift selbst anpassend.

20

25

30

Figur 11 zeigt den Zusammenhang zwischen der Bitfehlerrate BER und dem Signalrauschabstand SNR der unterschiedlich eingestellten Schwellenwerten SW . Der Schwellenwert $SW = \infty$ ent-

35

spricht dabei einem herkömmlichen Viterbi-Decoder nach dem Stand der Technik. Man kann der Fig. 11 entnehmen, dass sogar $SW_{\text{norm}} < 1$ nur zu einer geringen Erhöhung der Bitfehlerrate BER führt. Ferner kann man anhand der großen Varianz der Parameterschar die Robustheit des erfindungsgemäßen Verfahrens erkennen.

Die Figuren 12(a) bis 12(c) zeigen ein Simulationsergebnis zur Darstellung des Zusammenhanges zwischen der Anzahl N , der von der Selektionsschaltung 20 abgespeicherten Entscheidungswerte δ bei einem Signalrauschabstand von $SNR=23\text{dB}$ und einer Anzahl von Zuständen in dem Trellis-Diagramm von $N_{TS}=512$ für eine unterschiedliche Anzahl von Prozessorelementen N_{PE} . Die Figuren 12(a) bis 12(c) zeigen das Simulationsergebnis für den Zeitindex $t=0\dots 1000$. Ein weiterer Vorteil des erfindungsgemäßen Verfahrens besteht darin, dass aufgrund der selbst anpassenden Eigenschaft im Vergleich zu einem herkömmlichen Viterbi-Decoder der Einschwingvorgang nicht verlängert wird. Ferner ist ersichtlich, dass nach dem Einschwingvorgang nur eine kleine Anzahl N von Entscheidungen abgespeichert werden.

Die Figuren 13(a) bis 13(c) zeigen ein Simulationsergebnis für die selben Parameter wie in Fig. 12(a) bis 12(c) mit Ausnahme des Signal-Rausch-Abstandes der hierbei auf $SNR=20\text{dB}$ reduziert wurde.

Bei diesem, für diesen Code, schlechten Signal-Rauschabstand ist, wie man durch Vergleich der Figuren 12 und 13 erkennen kann, die Anzahl der abgespeicherten Entscheidungen bei dem erfindungsgemäßen Verfahren wesentlich höher. Mit zunehmender Verschlechterung des Übertragungskanals und somit abnehmenden Signal-Rausch-Abstand SNR werden bei dem erfindungsgemäßen Viterbi-Decoder eine zunehmende Anzahl von Entscheidungen δ zur Auswertung in der Selektionsschaltung 20 abgespeichert, um eine gleichbleibende Qualität der Decodierung zu erreichen. Der erfindungsgemäße Viterbi-Decoder 1 und das erfin-

dungsgemäße Verfahren sind somit selbst adaptierend im Bezug auf die Qualität der Decodierung, welche vorzugsweise durch das Maß der Bitfehlerrate BER ausgedrückt wird.

- 5 Der von dem Multiplexer 32 durchgeschaltete Summenwert bzw. Pfadmetrikwert wird ferner an einem Verzweigungsknoten 54 abgezweigt und wird über eine Leitung 55 an den Signalausgang 15 zum Zwischenspeichern an das zugehörige Register 18 abgegeben.

10

Bei dem Entscheidungsschwellenwert SW handelt es sich vorzugsweise um einen fest implementierten Potenzwert mit der Basis zwei. Hierdurch kann der schaltungstechnische Aufwand für die zweite Komparatorschaltung 35 minimiert werden. Der
15 Entscheidungsschwellenwert SW ist in Abhängigkeit des Verfahrens zur Pfadmetrik-Normalisierung zu adaptieren. Vorzugsweise wird das Verfahren der Minimum-Normalisierung verwendet, bei dem dieser Adaptionsschritt entfallen kann. Ferner sind insbesondere in Mobilfunksystemen variabel einstellbare Ent-
20 scheidungsschwellenwerte denkbar, da sich bei diesen Systemen die Güte des Übertragungskanals stark ändern kann und man für Zeitbereiche mit guten Übertragungseigenschaften des Telekommunikationskanals SW so dimensionieren kann, dass man eine besonders hohe Reduktion der Verlustleistung realisiert.

- Der an dem Signalausgang 16 anliegende Entscheidungswert δ_s wird in den nachgeschalteten Speicher der Selektionsschaltung 20 nur dann eingeschrieben, wenn der an dem Signalausgang 17 des Pfadmetrik-Berechnungselements 10 anliegende zugehörige
30 logische Gültigkeitswert anzeigt, dass der durchgeschaltete Summenwert kleiner ist als der Entscheidungsschwellenwert SW. Hierdurch wird die Anzahl der Einschreibvorgänge und somit die Verlustleistung im Vergleich zu einem herkömmlichen Viterbi-Decoder, bei dem alle Entscheidungswerte δ in die nach-
35 geschaltete Detektionsschaltung eingeschrieben werden, erheblich reduziert.

Die in Figur 14 gezeigte Tabelle zeigt die prozentuale Verlustleistungseinsparung, bei dem erfindungsgemäßen Verfahren zur Decodierung für verschiedene normalisierte Schwellenwerte in Abhängigkeit der Anzahl von Pfadmetrik-

- 5 Berechnungselementen N_{PE} für verschieden komplexe Trellis-Codes. R bezeichnet hierbei das maximal mögliche Optimum und berechnet sich zu

$$R = \frac{N_{TS} - 2N_{PE}}{N_{TS}} \quad (7)$$

10

Fig. 8 zeigt schematisch eine weitere Ausführungsform des erfindungsgemäßen Viterbi-Decoders 1 mit mehr als einem Pfadmetrikberechnungselement $N_{PE} > 1 < N_{TS}$. Bei der in Fig. 8 dargestellten Anordnung werden die von den Pfadmetrik-

- 15 Berechnungselementen 10 berechneten logischen Gültigkeitswerte über die Leitungen 17 an die Signaleingänge 56 einer logischen ODER-Schaltung 57 angelegt und dort logisch oder verknüpft. Die logische ODER-Schaltung 57 weist einen Signalausgang 58 auf, der über eine Leitung 59 mit einem Eingang 60
- 20 der nachgeschalteten Selektionsschaltung 20 verbunden ist.

Sobald einer der Gültigkeitswerte, die von den Pfadmetrik-Berechnungselementen 10 berechnet wird, logisch hoch bzw. logisch eins ist, empfängt die Selektionsschaltung 20 an dem Signaleingang 60 ein logisch hohes Signal und speichert den gesamten aus N_{PE} Entscheidungswerten bestehenden Entscheidungsvektor in dem integrierten Speicher ab. Sobald mindestens ein signifikanter Entscheidungswert vorliegt, erfolgt somit ein Einschreibvorgang, um zu garantieren, dass kein signifikanter, also logisch hoch bewerteter, Entscheidungswert

25

30 verloren geht.

Fig. 9 zeigt schematisch den Selektionsvorgang innerhalb der Selektionsschaltung 20 des erfindungsgemäßen Viterbi-Decoders 1. Ausgehend von dem Zustand mit der minimalen Pfadmetrik

35 wird der Pfad bis zu einer Entscheidungstiefe D_S zurückverfolgt. Nach D_S -Zeitschritten wird die Entscheidung δ_{t+D_S} deko-

diert. Die durchgezogene Linie in Fig. 9 stellt den Gewinnerpfad dar, während die gestrichelten Linien konkurrierende Pfade zeigen. Die Latenzzeit beträgt D_s Symbolzeiten, bis eine Entscheidung durch die Selektionsschaltung 20 getroffen
5 und die entsprechende Datensymbolsequenz abgegeben wird.

Aufgrund des erfindungsgemäßen Verfahrens läßt die Selektionsschaltung 20 mit hoher Wahrscheinlichkeit nur die zuvor relevant bewerteten Entscheidungswerte von der Pfadmetrik-
10 Berechnungsschaltung 9 ein. Mit einer sehr geringen Wahrscheinlichkeit läßt die Selektionsschaltung 20 von Speicherzellen, die zuvor als nicht relevant bewertete, und damit nicht abgespeicherte, Entscheidungswerte beinhalten. Das kann
in seltenen Fällen zu Bitfehlern führen, die zu dem dargelegten, vernachlässigbarem SNR-Verlust führen.
15

Mit der erfindungsgemäßen Schaltung kann eine Verlustleistungsreduzierung von bis zu 99% erreicht werden. Der schaltungstechnische Zusatzaufwand in den Pfadmetrik-
20 Berechnungselementen 10 besteht dabei lediglich aus einer zusätzlichen Komparatorschaltung, die bei der Integration einen sehr geringen Flächenbedarf besitzt.

Patentansprüche

Viterbi-Decoder

5 1. Viterbi-Decoder zur Dekodierung einer empfangenen Sequenz von Datensymbolen, die mit einer vorgegebenen Codieranweisung codiert sind, mit:

10 (a) einer Zweigmetrikberechnungsschaltung (5) zur Berechnung von Zweigmetriken (λ) für die empfangene Sequenz von codierten Datensymbolen;

15 (b) einer Pfadmetrikberechnungsschaltung (9) zur Berechnung von Pfadmetriken (γ) in Abhängigkeit von den Zweigmetriken (λ) und der Codieranweisung,

wobei die berechneten Pfadmetriken jeweils mit einem einstellbaren Entscheidungsschwellenwert (SW) zur Erzeugung eines zugehörigen logischen Gültigkeitswertes verglichen werden; und mit

20

(c) einer Selektionsschaltung (20), die ausschließlich diejenigen Pfadmetriken, deren Gültigkeitswert logisch hoch ist, in einem Speicher zwischenspeichert und aus den zwischengespeicherten Pfadmetriken denjenigen Pfad mit der optimalen Pfadmetrik selektiert.

4 5

2. Viterbi-Decoder nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
30 dass die Selektionsschaltung (20), die dem selektierten Pfad zugeordnete Datensymbolsequenz zur weiteren Datenverarbeitung abgibt.

3. Viterbi-Decoder nach Anspruch 1 oder 2,
35 d a d u r c h g e k e n n z e i c h n e t ,

dass die Pfadmetrik-Berechnungsschaltung (9) den Gültigkeitswert logisch hoch setzt, wenn die zugehörige berechnete Pfadmetrik kleiner ist als der Schwellenwert (SW).

- 5 4. Viterbi-Decoder nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Selektionsschaltung (20) den Pfad mit der kleinsten
berechneten Pfadmetrik selektiert.
- 10 5. Viterbi-Decoder nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Pfadmetrik-Berechnungsschaltung (9) mehrere Pfadmetrik-Berechnungselemente (10) enthält.
- 15 6. Viterbi-Decoder nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass ein Pfadmetrik-Berechnungselement (10) jeweils die Pfadmetriken von zwei Pfaden berechnet und miteinander vergleicht
und die kleinere der beiden Pfadmetriken an ein zugehöriges
20 getaktetes Speicherelement (18) zum Zwischenspeichern abgibt.
7. Viterbi-Decoder nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass das Pfadmetrik-Berechnungselement (10) aufweist:
- einen ersten Addierer (26), der die Zweigmetrik eines ersten Pfades und die in dem zugehörigen getakteten Speicherelement (18) zwischengespeicherte Metrik des ersten Pfades addiert und an einen ersten Eingang (31) eines Multiplexers (32) abgibt,
- 30
- einen zweiten Addierer (27), der die Zweigmetrik eines zweiten Pfades und die in dem zugehörigen getakteten Speicherelement (18) zwischengespeicherte Pfadmetrik des zweiten Pfades
35 addiert und an einen zweiten Eingang (39) des Multiplexers (32) abgibt,

eine erste Komparatorschaltung (35), die die von den beiden Addierern (26, 27) berechneten Summenwerte vergleicht, wobei das Vergleichsergebnis als Entscheidungswert (δ_s) an die Selektionsschaltung (20) und an den Multiplexer (32) als Steuersignal abgegeben wird, wobei der Multiplexer (32) den kleineren der durch die beiden Addierer (26, 27) berechneten Summenwerte an das zugehörige getaktete Register (18) durchschaltet;

eine zweite Komparatorschaltung (50), die den durchgeschalteten Summenwert mit dem einstellbaren Entscheidungsschwellenwert SW vergleicht und einen logisch hohen Gültigkeitswert abgibt, wenn der durchgeschaltete Summenwert kleiner ist als der Entscheidungsschwellenwert (SW).

8. Viterbi-Decoder nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass der einstellbare Entscheidungsschwellenwert (SW) ein Potenzwert mit der Basis zwei ist.

9. Viterbi-Decoder nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass der Entscheidungsschwellenwert (SW) zur Pfadmetrik-Normalisierung variabel einstellbar oder adaptiv ist.

10. Viterbi-Decoder nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass mehrere von der Pfadmetrik-Berechnungsschaltung (9) erzeugte logische Gültigkeitswerte durch eine logische Schaltung logisch Oder-verknüpft werden und alle zugehörigen Entscheidungswerte in dem Speicher der Selektionsschaltung (20) zwischengespeichert werden, wenn das Ergebnis der logischen ODER-Verknüpfung logisch hoch ist.

11. Viterbi-Decoder nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet,

dass die Pfadmetriken durch die Pfadmetrikberechnungselemente sequentiell berechnet werden.

12. Viterbi-Decoder nach einem der vorangehenden Ansprüche,
 5 d a d u r c h g e k e n n z e i c h n e t ,
 dass eine der Anzahl N_{TS} von Zuständen in einen Trellis-Diagramm entsprechende Anzahl von Pfadmetriken mit 2^K Pfadmetrik-Berechnungselementen berechnet werden und dass für die Anzahl 2^K der Berechnungselement gilt:

$$1 \leq 2^K \leq \frac{N_{TS}}{2}.$$

13. Viterbi-Decoder Anspruch 12,
 d a d u r c h g e k e n n z e i c h n e t ,
 15 dass die Pfadmetrik-Berechnungselemente (10a-10i) Butterfly-Berechnungselemente sind und dass für die Anzahl 2^K der Berechnungselement gilt:

$$1 \leq 2^K \leq \frac{N_{TS}}{2}.$$

14. Viterbi-Decoder nach Anspruch 12,
 d a d u r c h g e k e n n z e i c h n e t ,
 dass die Pfadmetrik-Berechnungselemente (10a-10c) Add-Compare-Berechnungselemente sind und dass für die Anzahl 2^K
 25 der Berechnungselement gilt:

$$1 \leq 2^K \leq N_{TS}.$$

15. Viterbi-Decoder nach einem der vorangehenden Ansprüche,
 30 d a d u r c h g e k e n n z e i c h n e t ,
 dass die Codieranweisung ein Trellis-Code ist, der 2^L Zustandsübergänge aufweist, wobei

$$0 \leq L < \infty$$

35 gilt und L eine natürliche Zahl ist.

16. Viterbi-Decoder nach Anspruch 12,
dadurch gekennzeichnet,
dass der Trellis-Code zwei Zustandsübergänge aufweist.

- 5 17. Verfahren zur Decodierung einer codierten Sequenz von Datensymbolen, die mit einer vorgegebenen Codieranweisung codiert sind, mit den folgenden Schritten:

(a) Empfangen der codierten Datensymbolsequenz;

10

(b) Berechnen von Zweigmetriken (λ) für die empfangene Datensymbolsequenz;

(c) Berechnen von Pfadmetriken (γ) für die empfangene Datensymbolsequenz in Abhängigkeit von den Zweigmetriken (λ) und der Codieranweisung;

15

(d) Vergleichen der berechneten Pfadmetriken γ mit einem Entscheidungsschwellenwert (SW) zur Erzeugung von logischen Gültigkeitswerten;

20

(e) Speichern derjenigen berechneten Pfadmetriken, deren Gültigkeitswerte logisch hoch sind, in einem Zwischenspeicher;

(f) Selektieren desjenigen Pfades, dessen gespeicherte Pfadmetrik minimal ist;

(g) Ermitteln der dem selektiven Pfad zugeordneten Datensymbolsequenz mittels der Codieranweisung;

30

(h) Ausgeben der ermittelten Datensymbolsequenz zur weiteren Datenverarbeitung.

Zusammenfassung

Viterbi-Decoder

- 5 Viterbi-Decoder zur Decodierung einer empfangenen Sequenz von
Datensymbolen, die mit einer vorgegebenen Codieranweisung co-
diert sind, mit:
- (a) einer Zweigmetrikberechnungsschaltung (5) zur Berechnung
von Zweigmetriken (λ) für die empfangene Sequenz von codier-
10 ten Datensymbolen;
- (b) einer Pfadmetrikberechnungsschaltung (9) zur Berechnung
von Pfadmetriken (γ) in Abhängigkeit von den Zweigmetriken
(λ) und der Codieranweisung,
wobei die berechneten Pfadmetriken jeweils mit einem ein-
15 stellbaren Entscheidungsschwellenwert (SW) zur Erzeugung ei-
nes zugehörigen logischen Gültigkeitswertes verglichen wer-
den; und mit
- (c) einer Selektionsschaltung (20), die diejenigen Pfadmetri-
ken, deren Gültigkeitswert logisch hoch ist, in einem Spei-
20 cher zwischenspeichert und aus den zwischengespeicherten
Pfadmetriken denjenigen Pfad mit der optimalen Pfadmetrik se-
lektiert.

Figur 6

Bezugszeichenliste:

	1	Viterbi-Decoder
	2	Eingang
5	3	Leitung
	4	Signaleingang
	5	Zweigmetrik-Berechnungsschaltung
	6	Signalausgänge
	7	Leitung
10	8	Signaleingänge
	9	Pfadmetrik-Berechnungsschaltung
	10	Pfadmetrik-Berechnungselemente
	11	Eingänge
	12	Eingänge
15	13	Eingänge
	14	Eingänge
	15	Ausgangsleitungen
	16	Ausgangsleitungen
	17	Ausgangsleitungen
20	18	Zwischenregister
	19	Signaleingänge
	20	Selektionsschaltung
	21	Signaleingänge
	22	Signalausgang
	23	Leitung
	24	Ausgang des Viterbi-Decoders
	25	Leitung
	26	Addierer
	27	Addierer
30	28	Leitung
	29	Verzweigungspunkt
	30	Leitung
	31	Eingang
	32	Multiplexer
35	33	Leitung
	34	Eingang
	35	Multiplexer

	36	Leitung
	37	Verzweigungsknoten
	38	Leitung
	39	Eingang
5	40	Leitung
	41	Eingang
	42	Ausgang
	43	Leitung
	44	Verzweigungsknoten
10	45	Leitung
	46	Steuereingang
	47	Ausgang
	48	Leitung
	49	Eingang
15	50	Komparatorschaltung
	51	Eingang
	52	Ausgang
	53	Ausgang
	54	Verzweigungsknoten
20	55	Leitung
	56	Eingänge
	57	ODER-Gatter
	58	Ausgang
	59	Leitung
	60	Eingang
	61	Festverdrahtungseinheit

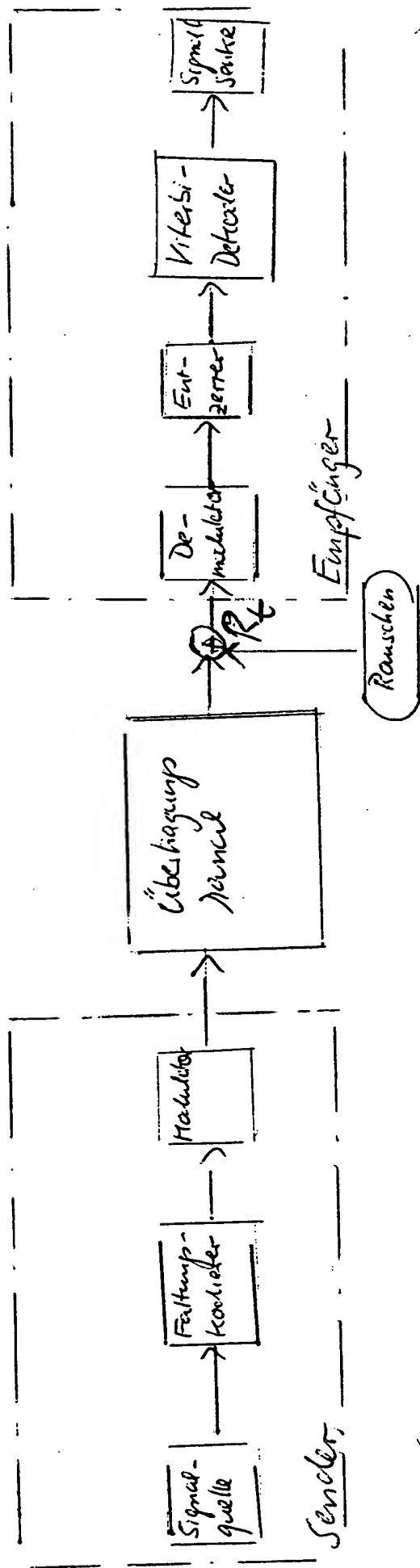


Fig. 1 Stoll

172/2

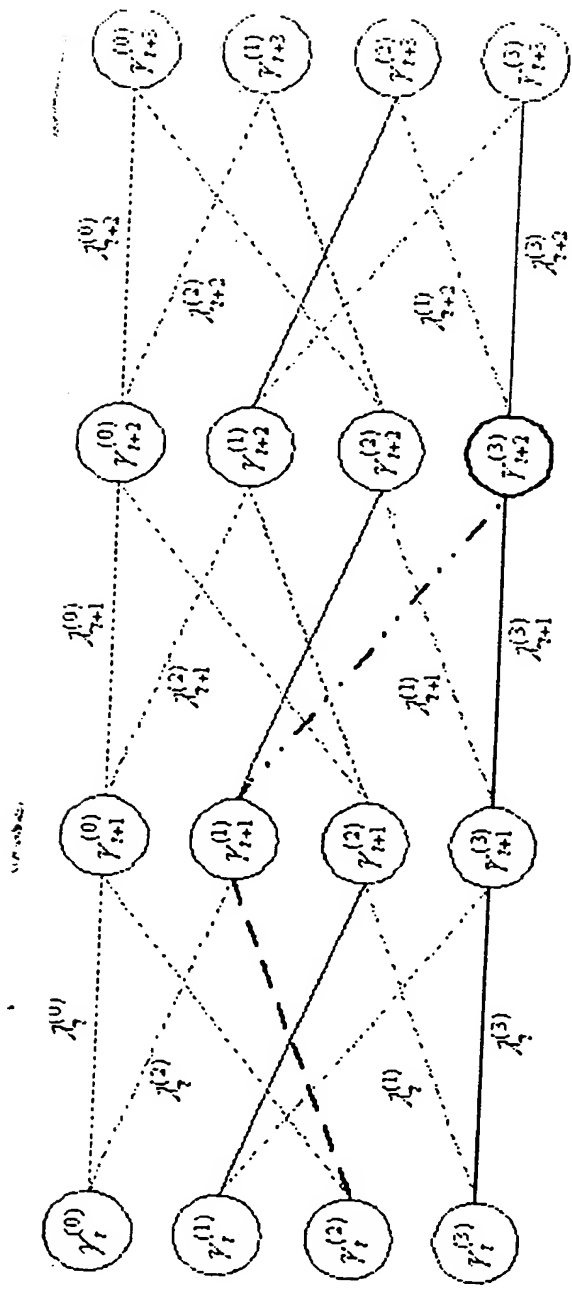


Fig. 2

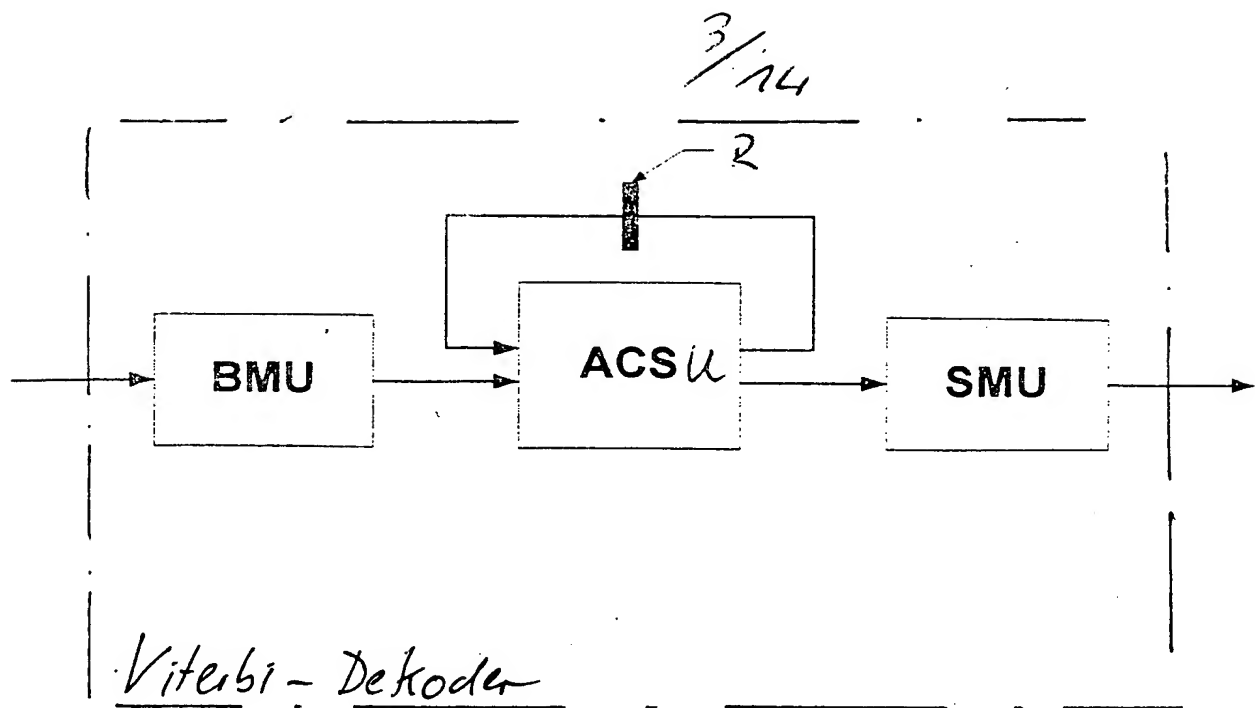


Fig. 3 Stolt

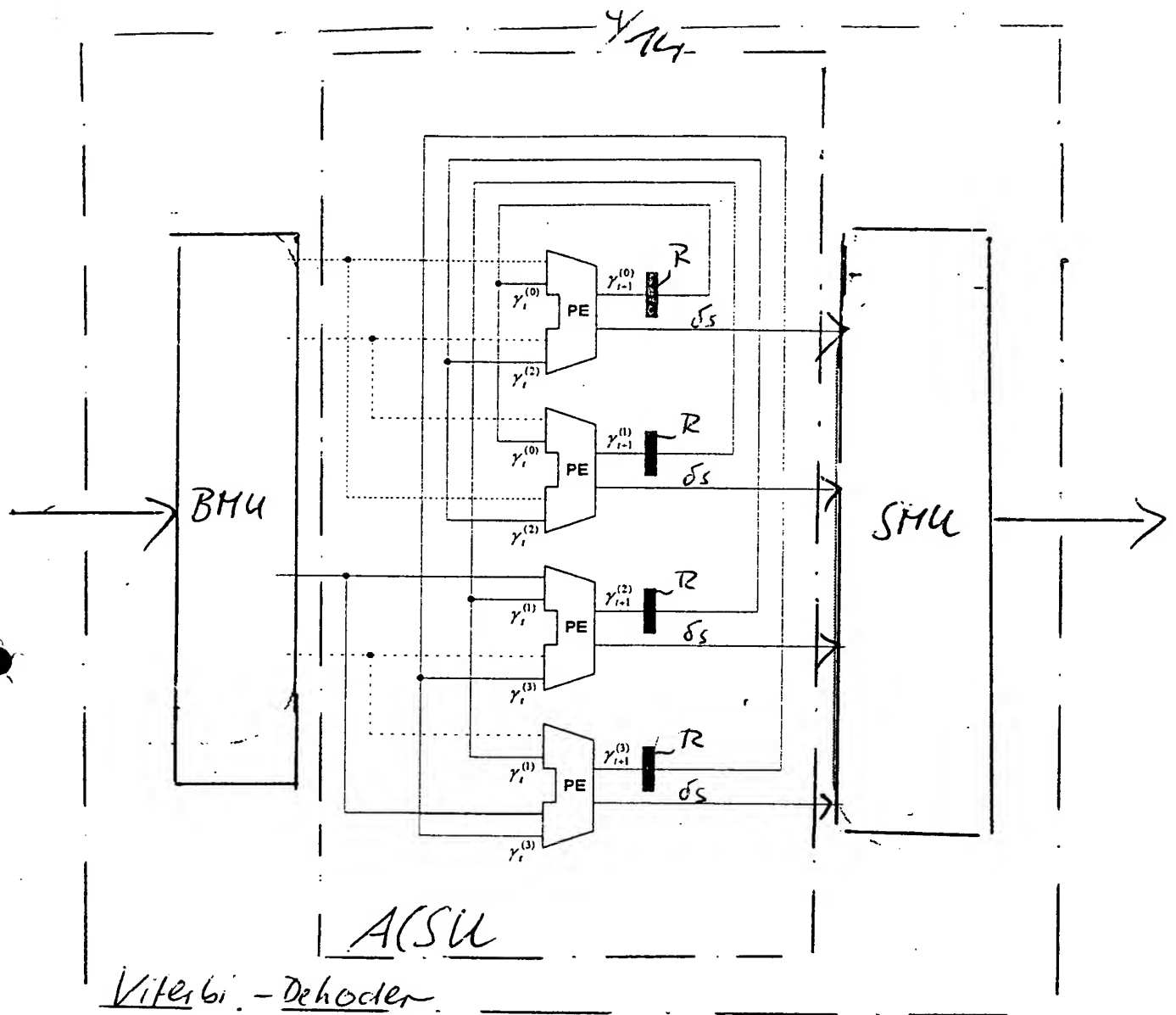


Fig. 4 Stolt

5/14

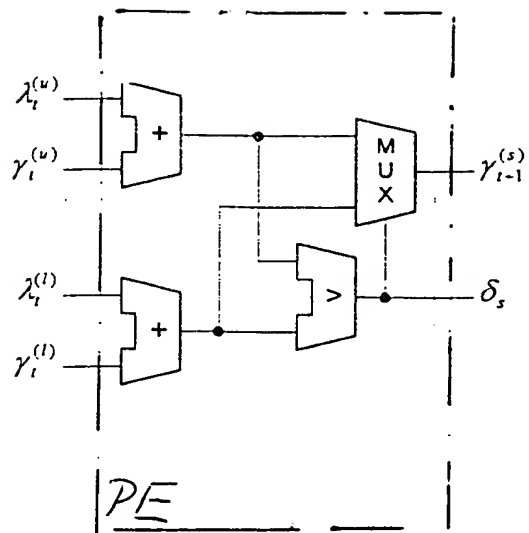


Fig 5

StdT

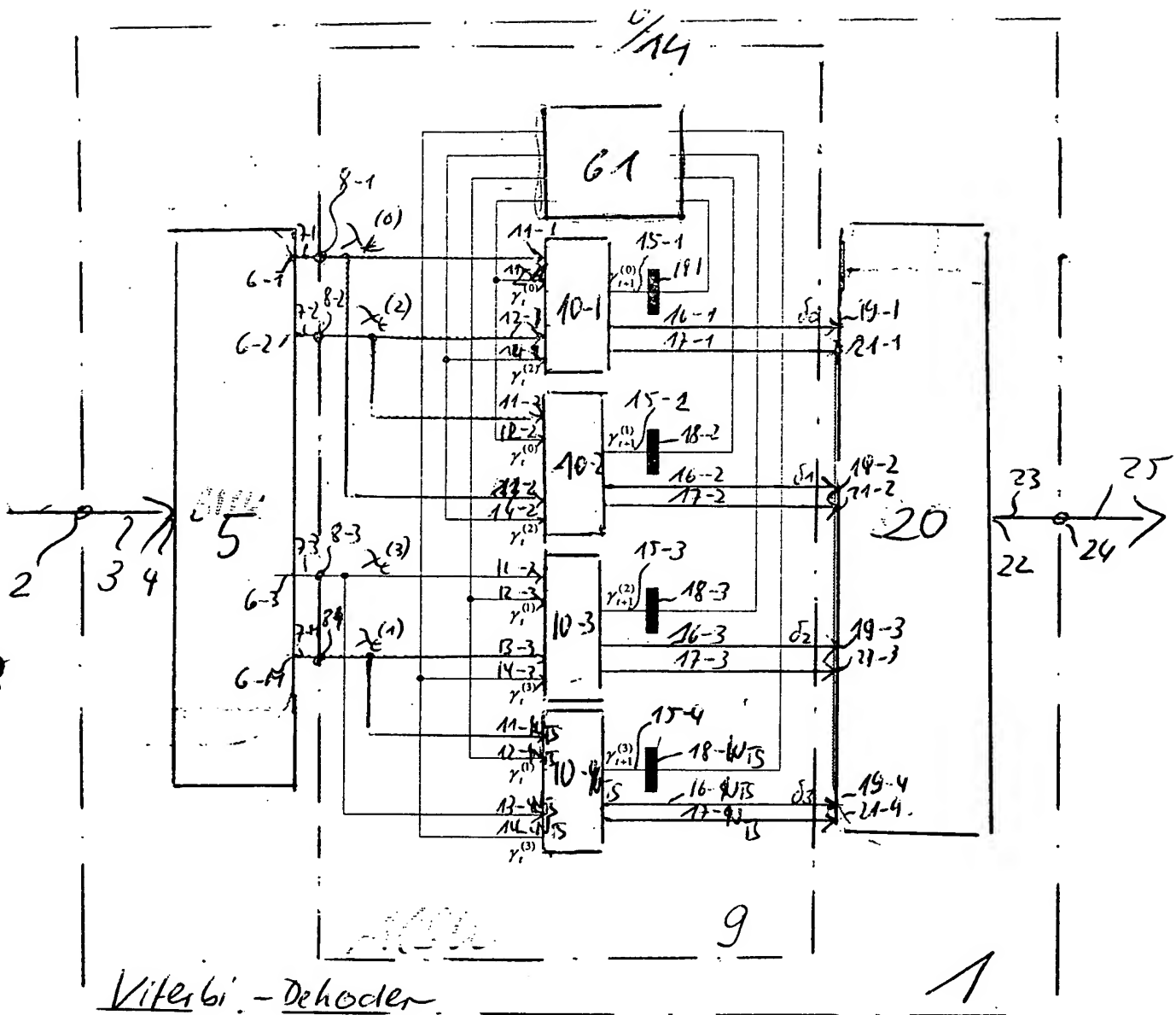


Fig. 6

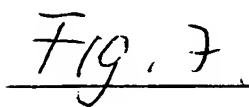


Fig. 7.

8/14

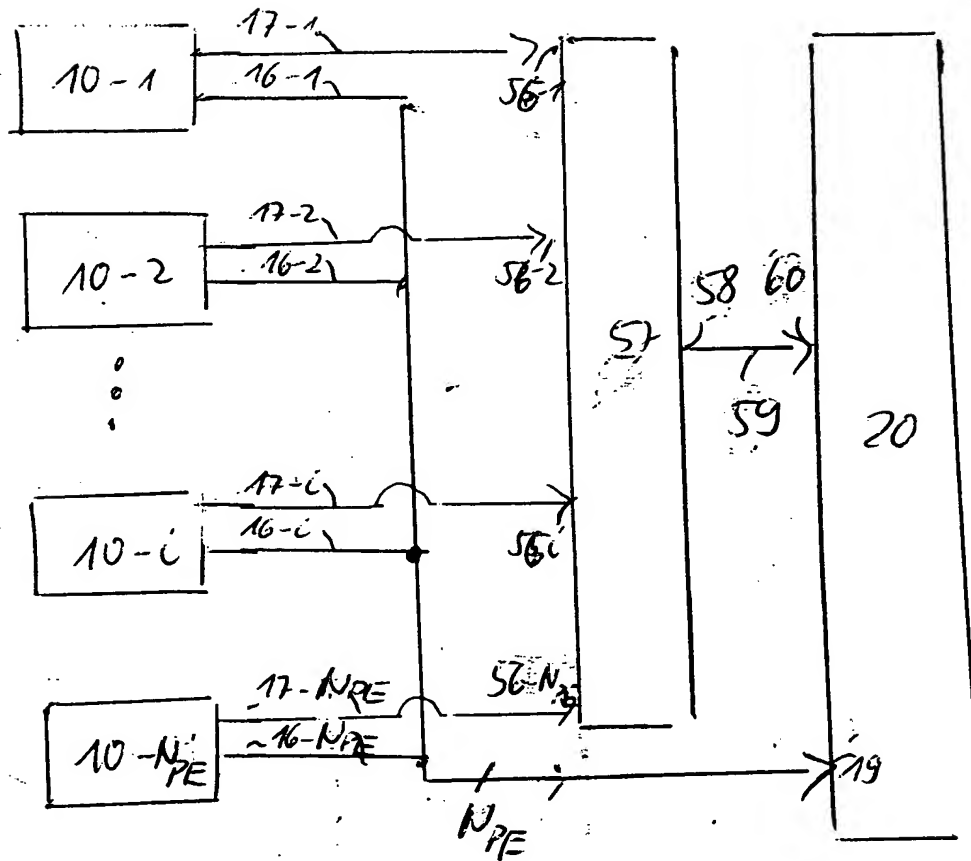


Fig 8

9/14

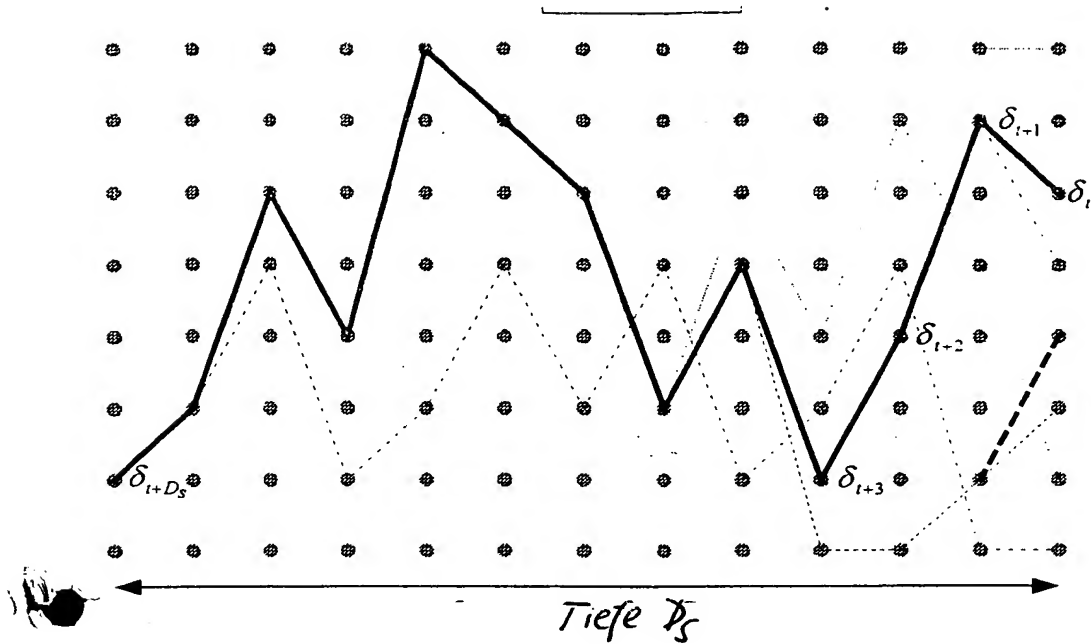


Fig-9

10/11

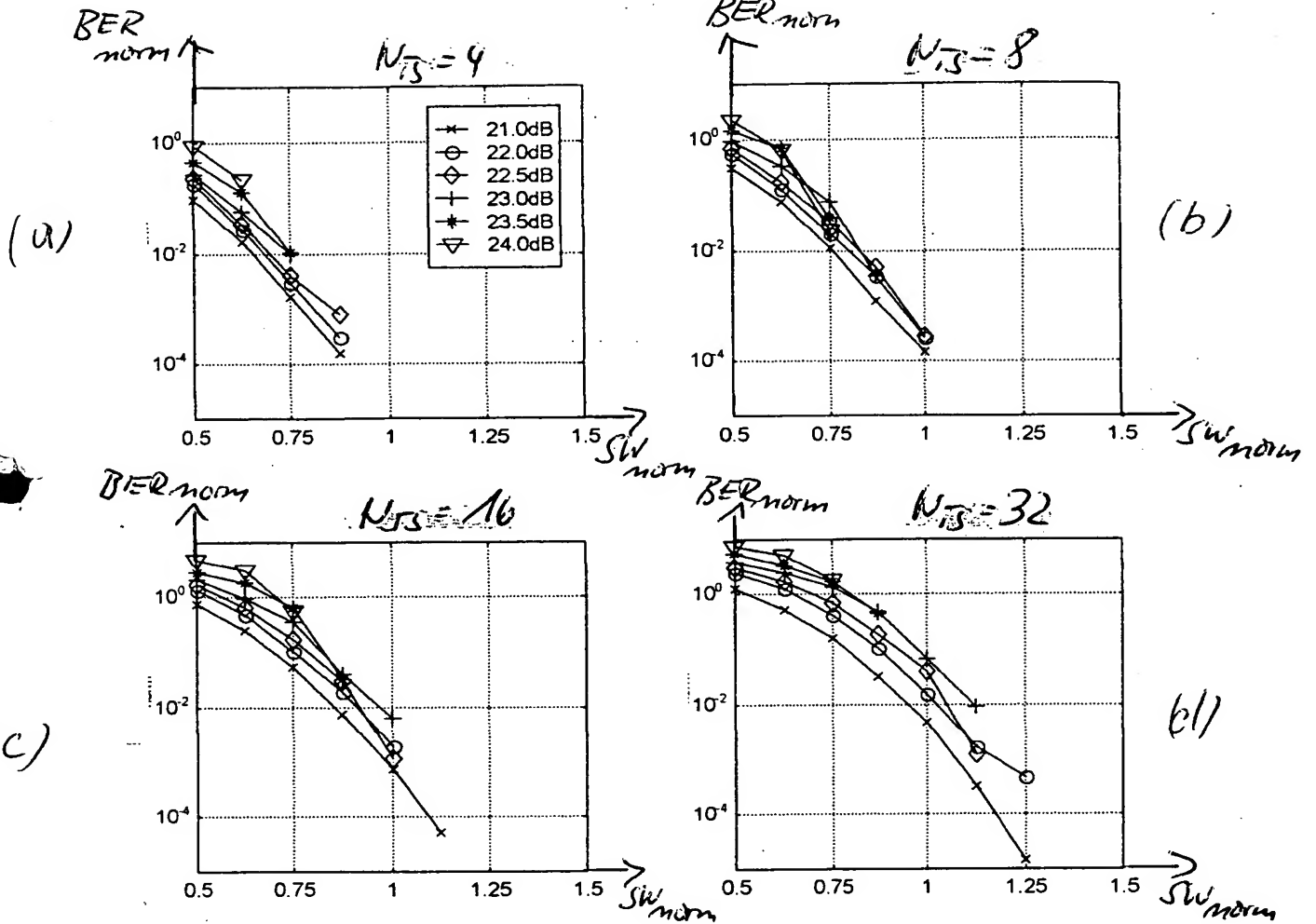


Fig 10(a)-(d)

11/14

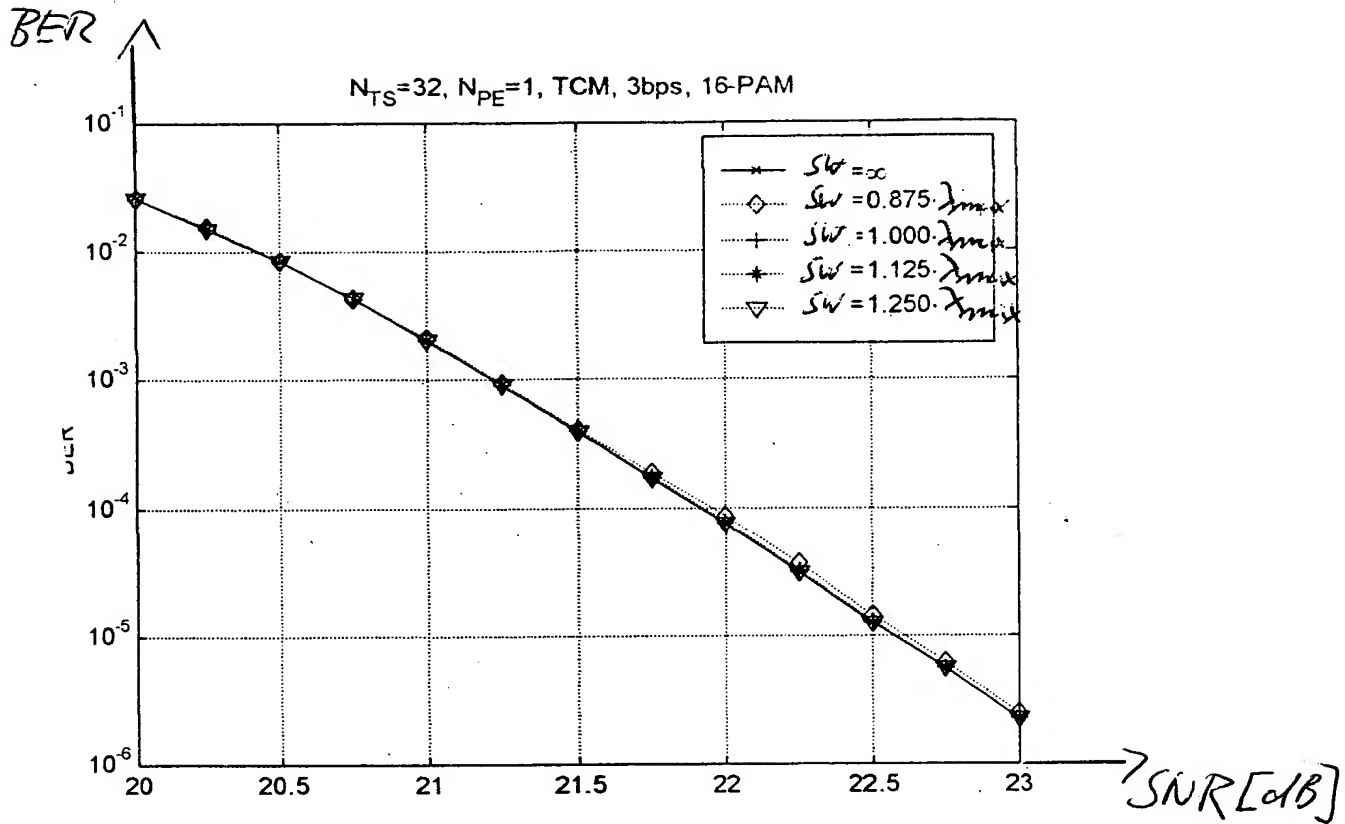
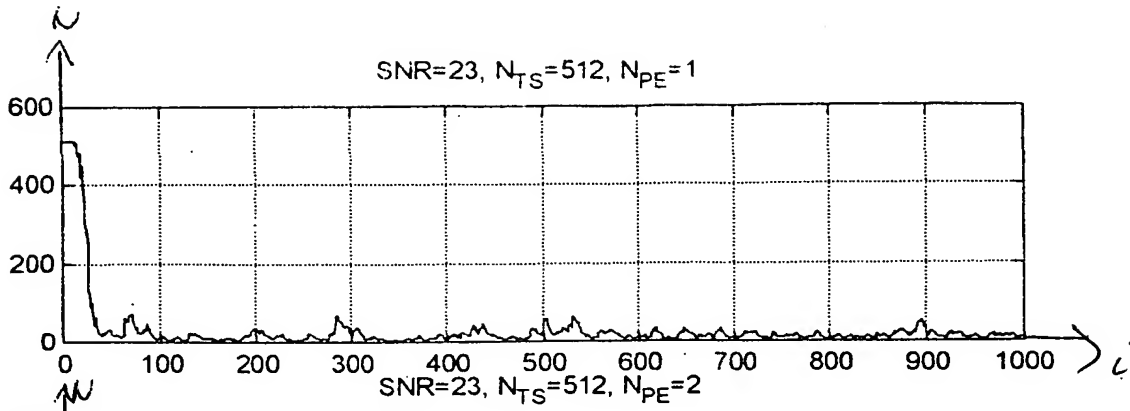


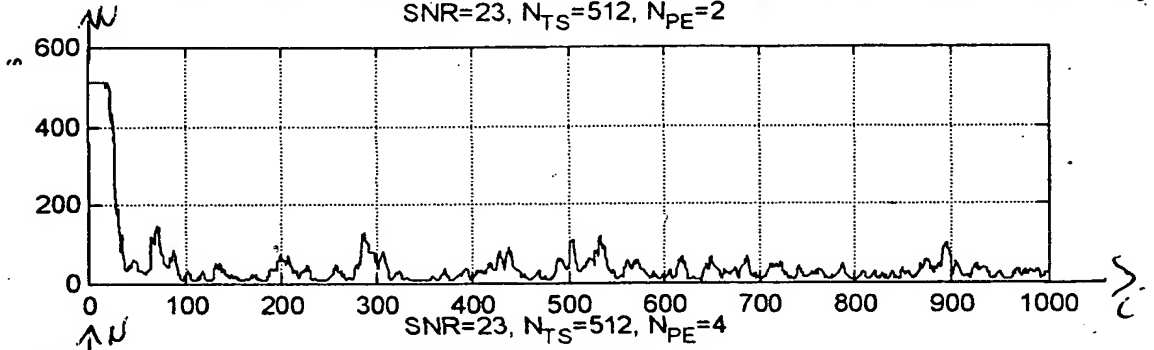
Fig 11

12/14

(a)



(b)



(c)

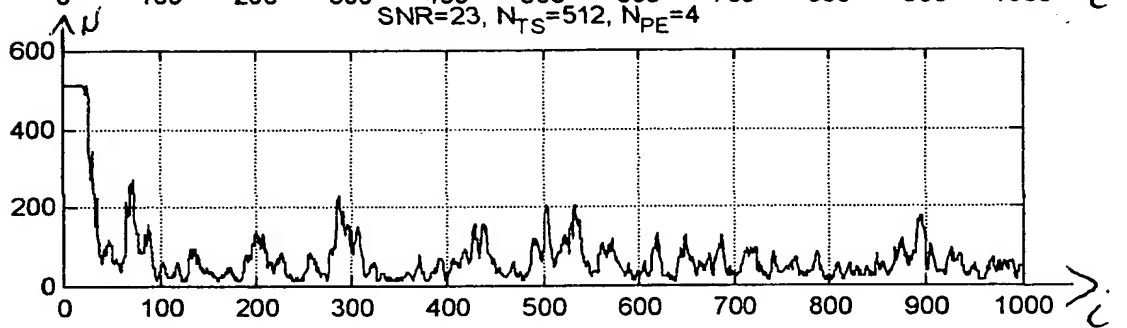
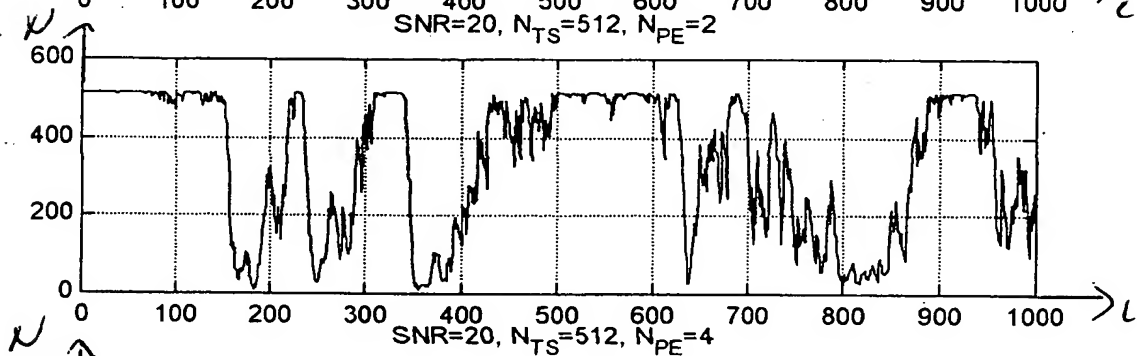
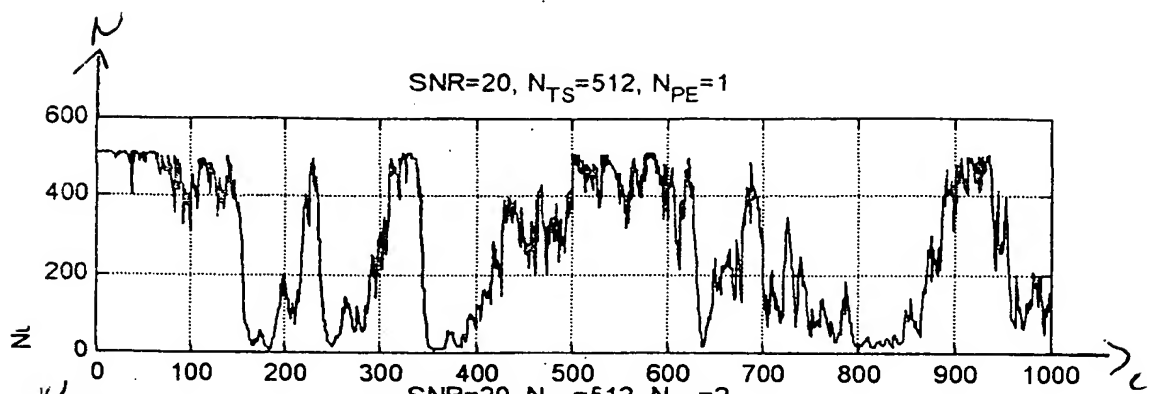


Fig 12 (a)-(c)

13/
14

(a)



(c)

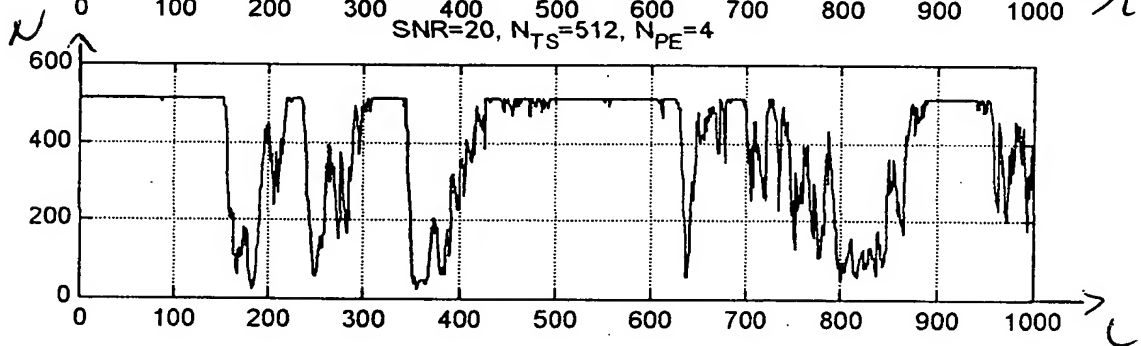


Fig 13(a) - 13(c)

14
14

Slw BER	N _{TS} /SNR BER≈1E-7	R	R _{PCDS} (N _{PF})			
			1	2	4	8
1.000	512/22.5dB	99.6	97.4	95.4	88.7	76.6
	256/22.8dB	99.2	96.1	91.0	80.2	59.2
	128/23.0dB	98.4	91.0	80.9	61.3	39.8
	64/23.6dB	96.9	80.8	62.7	39.7	18.3
1.125	512/22.5dB	99.6	93.3	88.3	73.2	52.2
	256/22.8dB	99.2	89.5	75.8	54.8	26.0
	128/23.0dB	98.4	77.4	55.9	26.5	7.7
	64/23.6dB	96.9	58.3	32.2	12.7	3.2
1.250	512/22.5dB	99.6	84.2	71.1	45.2	23.3
	256/22.8dB	99.2	74.9	49.3	24.2	4.9
	128/23.0dB	98.4	51.4	24.9	4.3	0.1
	64/23.6dB	96.9	31.6	9.5	1.6	0.0

Fig 14